



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2000-0038015
Application Number

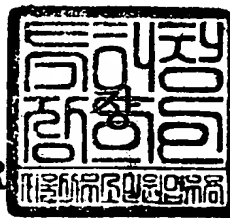
VERIFIED COPY OF
ORIGINAL DOCUMENT

출원 년 월 일 : 2000년 07월 04일
Date of Application JUL 04, 2000

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

2003 년 07 월 08 일

특 허 청
COMMISSIONER





919980000221



10111010000000000000

방식 심사 사 란	담 당	심 사 관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0005

【제출일자】 2000.07.04

【국제특허분류】 G02F

【발명의 국문명칭】 액정표시장치

【발명의 영문명칭】 Liquid Crystal Display

【출원인】

【명칭】 엘지.필립스 엘시디 주식회사

【출원인코드】 1-1998-101865-5

【대리인】

【성명】 김용인

【대리인코드】 9-1998-000022-1

【포괄위임등록번호】 1999-054732-1

【대리인】

【성명】 심창섭

【대리인코드】 9-1998-000279-9

【포괄위임등록번호】 1999-054731-4

【발명자】

【성명의 국문표기】 정인재

【성명의 영문표기】 CHUNG, In Jae

【주민등록번호】 560920-1046915

【우편번호】 730-090

【주소】 경상북도 구미시 송정동 동양 한신아파트 104동 1402호

【국적】 KR

【발명자】

【성명의 국문표기】 박준호

【성명의 영문표기】 PARK, June H0

【주민등록번호】 730805-1908612

【우편번호】 730-350

【주소】 경상북도 구미시 임수동 401-3 LG 동락원 기숙사 B동 615호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

김용인 (인)

대리인

심창섭 (인)

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1.요약서· 명세서(도면)_1통

【요약서】

【요약】

본 발명은 화소 전극을 대칭적으로 형성하여 화질을 향상시키고, 대칭적인 화소 전극에 따른 스토리지 커패시턴스의 변동 및 개구율이 감소되는 것을 방지할 수 있는 액정표시장치를 제공하기 위한 것으로 본 발명의 액정표시장치는 교차 배치된 주사 라인과 데이터 라인에 의해 정의되는 화소 영역과, 상기 주사 라인과 데이터 라인의 교차 부위에 형성되는 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 화소 영역에 형성되는 좌우 대칭형 화소 전극을 포함하여 구성되는 것을 특징으로 한다.

【대표도】

도 4

【색인어】

화소 전극, 데이터 라인, 기생 커패시턴스

【명세서】

【발명의 명칭】

액정표시장치{Liquid Crystal Display}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 액정표시장치의 레이아웃도

도 2는 도 1의 A-A'선에 따른 단면도

도 3은 종래 기술에 따른 화소 전극의 평면도

도 4는 본 발명 제 1 실시예에 따른 액정표시장치의 레이아웃도

도 5는 도 4의 A-A'선에 따른 단면도

도 6은 본 발명에 따른 화소 전극의 평면도

도 7은 본 발명 제 2 실시예에 따른 액정표시장치의 레이아웃도

도 8은 도 7의 A-A'선에 따른 단면도

도면의 주요부분에 대한 부호의 설명

41n-1, 41n, 71n-1, 71n : 주사 라인

43n-1, 43n, 73n-1, 73n : 데이터 라인

45, 75 : 박막 트랜지스터

47, 79 : 화소 전극

71a, 71b : 제 1, 제 2 돌출부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래 기술】

본 발명은 디스플레이 장치에 관한 것으로, 특히 액정표시장치 및 그 제조방법에 관한 것이다.

디스플레이 장치중 하나인 씨알티(CRT: Cathode Ray Tube)는 텔레비전을 비롯해서 계측기기, 정보 단말기기 등의 모니터에 주로 이용되어 왔으나, CRT자체의 무게나 크기로 인하여 전자제품의 소형화, 경량화의 요구에 적극 대응할 수가 없었다.

이러한 CRT를 대체하기 위해 경박,단소화의 장점을 갖고 있는 액정표시장치(Liquide Crystal Dispaly: LCD)가 활발하게 개발되어져 왔고, 최근에는 평판형 표시장치로서의 역할을 충분히 수행할 수 있을 정도로 개발되어 그 수요가 점차 증가하고 있는 추세에 있다.

통상, 저코스트 및 고성능의 박막 트랜지스터 액정표시소자(TFT-LCD)에서는 스위칭 소자로 비정질 실리콘 박막 트랜지스터를 사용하고 있으며, 현재, 액정표시소자는 VGA(Video Graphic Array; 최대 해상도는 640× 480화소)에서 SVGA(800× 600), XVGA(1024× 768)로 고해상도를 지향하고 있다.

TFT-LCD 산업의 발전과 그 응용은 크기의 증가, 해상도의 증가에 의해 가속화되었으며, 생산성의 증가와 낮은 가격을 위해서 제조공정의 단순화 및 수율 향상의 관점에서 많은 노력이 계속되고 있다.

이와 같은 액정표시장치는 패널 내부에 주입된 액정의 전기 광학적 성질을 이용하는 것으로, PDP(Plasma Display Panel), FED(Field Emission Display) 등과 달리, 자체 발광을 하지 못하는 비발광성이기 때문에 LCD 패널에 표시된 화상을

보기 위해서는 화상 표시면을 균일하게 조사하는 별도의 광원인 백라이트(Back Light)를 구비하여야 한다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 액정표시장치를 설명하기로 한다.

도 1은 종래 기술에 따른 액정표시장치의 레이아웃도이고, 도 2는 도 1의 A-A'선에 따른 단면도이다.

도 1 내지 도 2에 도시된 바와 같이, 일방향으로 형성된 주사 라인(11)과, 상기 주사 라인(11)과 교차하는 방향으로 형성된 데이터 라인(13)과, 상기 주사 라인(11)으로부터 연장된 게이트 전극, 데이터 라인(13)으로부터 연장되는 소오스 및 드레인 전극으로 구성되며 상기 주사 라인(11)과 데이터 라인(13)과의 교차 부위에 형성된 박막 트랜지스터(TFT)(15)와, 상기 드레인 전극과 전기적으로 연결되며, 인접한 주사 라인(11)과 소정 부분 오버랩되어 스토리지 커패시터의 일측 전극으로 사용되고, 상기 박막 트랜지스터 형성 부위가 가려지지 않도록 해당 부위가 움푹 들어간 화소 전극(17)으로 구성된다.

여기서, 상기 데이터 라인(13)과 화소 전극(17), 그리고 상기 화소 전극(17)과 인접한 픽셀의 데이터 라인(13a)간에는 기생 커패시턴스(Cdp1, Cdp2)가 발생하게 된다.

이에, 종래 기술에 따른 화소 전극의 형상을 도 3에 확대 도시하였다.

도 3으로부터 종래 기술에 따른 화소 전극(17)은 좌측과 우측이 비대칭적으로 형성된 것을 볼 수 있다. 이는 박막 트랜지스터(15) 형성부위가 가려지지 않도록

록 화소 전극(17)을 패터닝하기 때문인데, 상기 화소 전극(17)이 비대칭적으로 형성되기 때문에 상기 데이터 라인(13)과 화소 전극(17)간의 기생커패시턴스의 값 즉, Cdp1과 Cdp2가 서로 차이가 발생하게 된다.

참고적으로, 도 3과 같은 구조에서는 Cdp2가 Cdp1보다 더 큰 값을 갖는다.

【발명이 이루고자 하는 기술적 과제】

상기와 같은 종래 액정표시소자는 좌측과 우측이 서로 비대칭적인 화소 전극으로 인하여 상기 화소 전극과 데이터 라인간에 발생하는 기생 커패시턴스 값이 화소 전극의 좌측부와 우측부가 서로 차이가 발생한다.

이는 액정표시소자를 도트 인버전(Dot Inversion) 방식으로 구동할 경우, 상기 기생 커패시턴스 값의 차이로 인하여 화질이 저하되는 문제점이 있었다.

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 화소 전극을 대칭적으로 형성하여 화질을 향상시키고, 대칭적인 화소 전극에 따른 스토리지 커패시턴스의 변동 및 개구율이 감소되는 것을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성】

상기의 목적을 달성하기 위한 본 발명의 액정표시장치는 교차 배치된 주사 라인과 데이터 라인에 의해 정의되는 화소 영역과, 상기 주사 라인과 데이터 라인의 교차 부위에 형성되는 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 화소 영역에 형성되는 좌우 대칭형 화소 전극을 포함하여 구성되는 것을 특징으로 한다.

먼저, 본 발명의 액정표시장치는 좌, 우 비대칭적인 화소 전극에 의해 발생하는 화질의 저하를 방지하기 위해 화소 전극을 좌, 우 대칭적으로 설계하였다.

화소 전극을 형성하기 위한 ITO 패터닝시, 박막 트랜지스터의 상부에는 존재하지 않도록 좌하면의 ITO는 제거하는데, 본 발명에서는 상기 좌하면의 ITO가 제거된 만큼 우하면의 ITO도 제거하여 좌측과 우측이 대칭적인 화소 전극을 형성한다.

또한, 우하면에 ITO가 제거된 부분을 보다 효과적으로 사용하기 위해서 상기 제거된 부분에는 스토리지 커패시터의 전극이 확장되도록 형성하였다.

이하, 본 발명에 따른 액정표시장치의 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

제 1 실시예

도 4는 본 발명 제 1 실시예에 따른 액정표시장치의 레이아웃도이고, 도 5는 도 4의 A-A'선에 따른 단면도이다.

먼저, 본 발명의 액정표시장치는 도 4에 도시한 바와 같이, 일방향으로 복수개의 주사 라인(..., 41n-1, 41n)들이 형성되고, 주사 라인들과 교차하는 방향으로 복수개의 데이터 라인(..., 43n-1, 43n)이 형성된다.

각각의 주사 라인과 데이터 라인의 교차 배치에 의해 화소 영역이 정의되며, 주사 라인과 데이터 라인의 교차 부위에는 게이트 전극, 소오스 및 드레인 전극으로 구성되는 박막 트랜지스터(45)들이 형성된다.

박막 트랜지스터(45)의 게이트 전극은 주사 라인으로부터 연장되고, 소오스 전극은 데이터 라인으로부터 연장되며, 화소 영역에는 드레인 전극과 콘택홀을 통

해 연결되는 화소 전극(47)이 형성된다.

여기서, 상기 화소 전극(47)은 좌하면과 우하면이 움푹 패인 형상을 가지며 좌, 우 대칭적으로 형성된다.

도 5는 도 4의 A-A'선에 따른 단면으로서, 본 발명의 제 1 실시예에 따른 액정표시장치는 절연 기판(40)과, 절연 기판(40)상에 게이트 전극(45a)이 형성되고, 게이트 전극(45a)을 포함한 절연 기판(40)상에 게이트 절연막(42)이 형성된다. 게이트 전극(45a) 상부의 게이트 절연막(42)상에 반도체층(44)이 형성되고, 반도체층(44)의 상부에서 분리되는 소오스 전극(45b) 및 드레인 전극(45c)이 형성된다. 그리고 소오스 및 드레인 전극(45b, 45c)을 포함한 전면에 패시베이션층막(46)이 형성되고, 드레인 전극(45c)과 콘택홀을 통해 연결되는 화소 전극(47)이 형성된다.

여기서, 화소 전극(47)은 이웃하는 데이터 라인과는 일정한 간격을 유지하게 되는데, 이는 화소 전극(47)의 우하면이 움푹 패인 형상을 갖기 때문이다.

이와 같이, 본 발명의 제 1 실시예에서는 화소 전극(47)이 좌, 우 대칭이 되도록 형성하여 화소 전극(47)과 그 좌측에 형성된 데이터 라인(43n-1)과의 기생 커패시턴스 값과, 상기 화소 전극(47)과 그 우측에 형성된 데이터 라인(43n)과의 기생 커패시턴스 값이 서로 동일해지도록 하였다.

따라서, 화소 전극(47)과 그와 인접한 데이터 라인간의 기생 커패시턴스 값이 차이가 나지 않으며, 이로 인한 화질의 저하를 방지할 수 있다.

한편, 도 6은 본 발명 제 1 실시예에 따른 화소 전극의 확대도로서, 화소 전

극(47)이 좌, 우 대칭적임을 알 수 있다. 따라서, 커패시턴스 값 Cdp1과 Cdp2가 동일해진다.

참고적으로, 점선 부분은 종래에 비해 화소 전극이 제거된 부분을 나타낸 것이다.

제 2 실시예

본 발명의 제 2 실시예는 화소 전극이 되는 IT0의 우하면이 제거되는 부분에 상응하여 상기 제거되는 부분을 보다 효율적으로 사용하기 위해 제안한 구조로서, 화소 전극인 IT0의 우하면이 제거된 부분에 스토리지 커패시터의 전극을 확장시켜 스토리지 커패시터의 용량이 변화되는 것을 방지함과 동시에 개구율 감소를 방지하였다.

이를 보다 상세하게 설명하면 다음과 같다.

도 7은 본 발명 제 2 실시예에 따른 액정표시장치의 레이아웃도이고, 도 8은 도 6의 A-A'선에 따른 단면도이다.

도 7에 도시한 바와 같이, 본 발명 제 2 실시예에 따른 액정표시장치는 일정 간격을 갖는 제 1 돌출부(71a)와 제 2 돌출부(71b)를 구비하여 일방향으로 형성된 주사 라인(..., 71n-1, 71n)들과, 상기 제 1, 제 2 돌출부(71a, 71b)를 사이에 두고 그 양측의 상기 주사 라인(..., 71n-1, 71n)을 가로지르는 방향으로 형성된 데이터 라인(..., 73n-1, 73n)들과, 상기 제 1 돌출부(71a)를 게이트 전극으로 이용하여 상기 게이트 전극과, 상기 데이터 라인으로부터 연장된 소오스 전극 및 드레인 전극으로 이루어지는 박막 트랜지스터(75)들과, 이웃하는 주사 라인(71n-1)의 상기 제

2 돌출부(71b)를 포함하여 상기 주사 라인(71n)과 오버랩되는 스토리지 커패시터의 일측 전극(77)과, 상기 제 1 돌출부(71a)와 제 2 돌출부(71b)의 사이로 돌출된 형상을 갖고, 상기 이웃하는 주사 라인(71n-1)의 일부와 오버랩되어 상기 스토리지 커패시터의 타측 전극으로 사용되는 화소 전극(79)을 포함하여 구성된다.

여기서, 상기 화소 전극(79)의 하부면은 중앙부가 돌출된 형상을 가지며 상기 돌출된 중앙부를 중심으로 좌측에는 박막 트랜지스터(45)가 형성되어 있고, 우측에는 스토리지 커패시터의 전극이 확장된 구조를 갖는다.

도면에서와 같이, 화소 전극(79)의 형상을 우하면이 움푹 들어간 형상으로 형성하면, 개구율은 감소하게 되는데, 본 발명 제 2 실시예에서는 개구율이 감소되는 것을 방지하기 위해 주사 라인의 폭을 조정하는 방법을 이용한다.

통상, 주사 라인은 각 박막 트랜지스터의 게이트 전극으로 주사 신호를 전달하는 기능을 수행하는데, 상기 기능에 비해 그 폭은 상당히 넓게 패터닝 된다. 그 이유는 주사 신호의 전달 이외에, 스토리지 커패시터의 용량을 확보하기 위함인데, 본 발명의 제 2 실시예에서는 화소 전극의 우하면이 움푹 들어간 형상으로 형성됨에 따라 필연적으로 나타나는 개구율의 감소를 주사 라인의 폭을 축소시킴으로써 보상한다.

또한, 주사 라인의 폭을 축소시킴으로 인하여 나타날 수 있는 스토리지 커패시터의 용량 변화는 스토리지 커패시터를 상기 화소 전극(79)의 우하면으로 확장함으로써 방지한다.

참고적으로, 통상적인 주사 라인의 폭은 스토리지 커패시터의 용량, 개구율

보상의 정도 및 모델의 종류, 그리고 주사 라인의 물질에 따라 결정되는데, 주사 라인의 물질을 통상적인 알루미늄(Al)으로 사용할 경우 그 폭은 대략 12~25 μ m이다.

이와 같은 본 발명 제 2 실시예에 따른 단면을 도 8에 도시하였다.

도 8은 도 7의 A-A'선에 따른 단면도로써, 화소 전극(79)의 우측에 제 2 돌출부(71b) 및 스토리지 커패시터의 일측 전극(77)이 형성되어 있다. 즉 화소 전극(79)과 상기 화소 전극(79)에 이웃하는 데이터 라인과의 사이에는 이웃하는 화소의 스토리지 커패시터가 확장되어 있음을 볼 수 있다.

【발명의 효과】

이상 상술한 바와 같이, 본 발명의 액정표시장치는 다음과 같은 효과가 있다.

화소 전극이 좌, 우 대칭적이므로 화소 전극과 이웃하는 데이터 라인간의 기생 커패시턴스 값이 동일하므로 기생 커패시턴스 값의 차이로 인해 발생하는 화질 저하를 방지할 수 있다.

또한, 대칭적인 화소 전극을 형성하기 위해 화소 전극의 우하면을 제거함에 따라 상기 제거된 부분에 상응하여 스토리지 커패시터를 확장시킴으로서 스토리지 커패시터의 용량 변화를 방지함과 동시에 개구율이 감소되는 것을 방지할 수 있다.

【특허 청구범위】

【청구항 1】

교차 배치된 주사 라인과 데이터 라인에 의해 정의되는 화소 영역;

상기 주사 라인과 데이터 라인의 교차 부위에 형성되는 박막 트랜지스터;

상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 화소 영역에 형성되는 좌우 대칭형 화소 전극을 포함하여 구성되는 것을 특징으로 하는 액정 표시장치.

【청구항 2】

제 1 항에 있어서, 상기 화소 전극은 그 좌하면 및 우하면이 움푹 패인 형상을 갖는 것을 특징으로 하는 액정표시장치.

【청구항 3】

교차 배치된 주사 라인과 데이터 라인에 의해 정의되는 화소 영역;

상기 주사 라인과 데이터 라인의 교차 부위에 게이트, 소오스 및 드레인으로 이루어지는 박막 트랜지스터 영역;

상기 화소 영역에 형성되며 상기 박막 트랜지스터 영역이 노출되고, 이웃하는 박막 트랜지스터 영역의 소오스 전극에 인접하는 부위가 상기 박막 트랜지스터 영역이 노출된 만큼 제거된 화소 전극을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

【청구항 4】

제 3 항에 있어서, 상기 화소 전극은 상기 박막 트랜지스터의 드레인 전극과

연결되며, 상기 드레인 전극과 연결되는 부위가 소정 면적을 갖고 돌출된 것을 특징으로 하는 액정표시장치.

【청구항 5】

일정 간격을 갖는 제 1, 제 2 돌출부를 구비하여 일방향으로 형성된 주사 라인들;

상기 제 1, 제 2 돌출부를 사이에 두고 그 양측의 상기 주사 라인을 가로지르는 방향으로 형성된 데이터 라인들;

상기 제 1 돌출부를 게이트 전극으로 이용하여 상기 게이트 전극과, 상기 데이터 라인으로부터 연장된 소오스 전극과, 그리고 드레인 전극으로 이루어지는 박막 트랜지스터들;

이웃하는 주사 라인의 상기 제 2 돌출부를 포함하여 상기 주사 라인과 오버랩되는 스토리지 커패시터의 일측 전극;

상기 제 1 돌출부와 제 2 돌출부의 사이가 돌출되어 상기 드레인 전극과 연결되고, 상기 이웃하는 주사 라인의 일부와 오버랩되어 상기 스토리지 커패시터의 타측 전극으로 사용되는 화소 전극을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

【청구항 6】

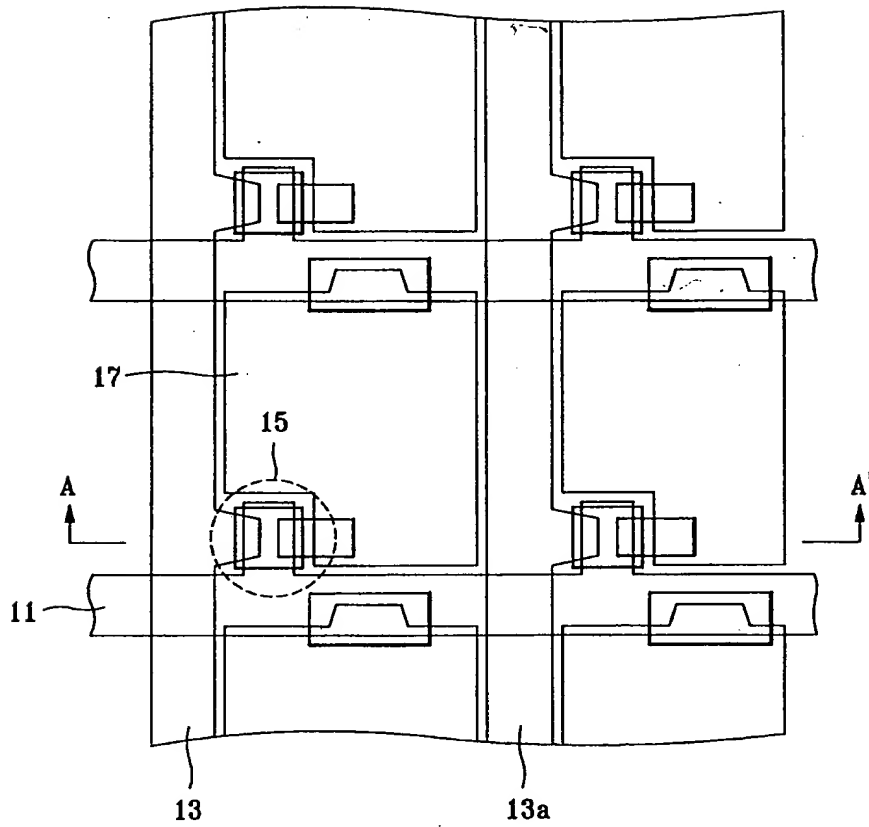
제 5 항에 있어서, 상기 화소 전극은 좌하면과 우하면이 움푹 패인 형상을 갖는 것을 특징으로 하는 액정표시장치.

【청구항 7】

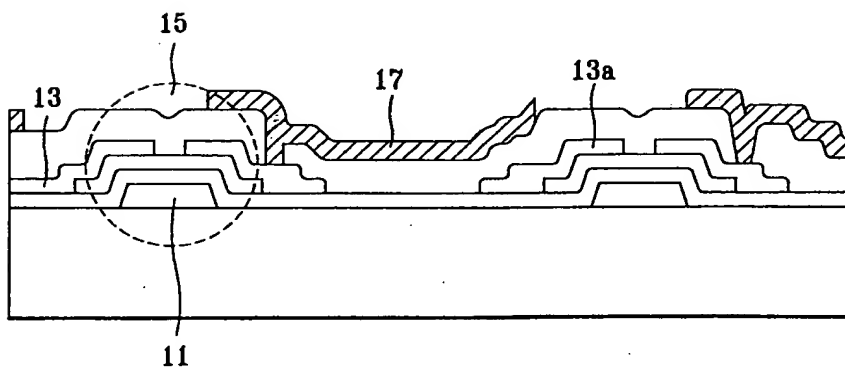
제 5 항에 있어서, 상기 스토리지 커패시터의 일측 전극은 이웃하는 화소 전극의 우하면쪽으로 돌출된 형상을 갖는 것을 특징으로 하는 액정표시장치.

【도면】

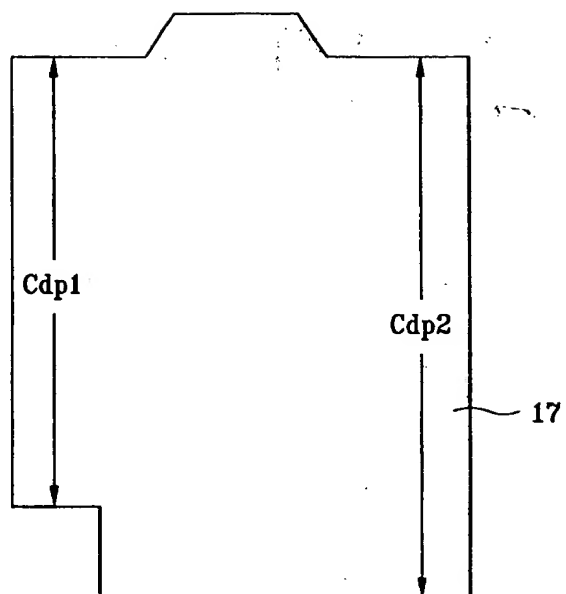
【도 1】



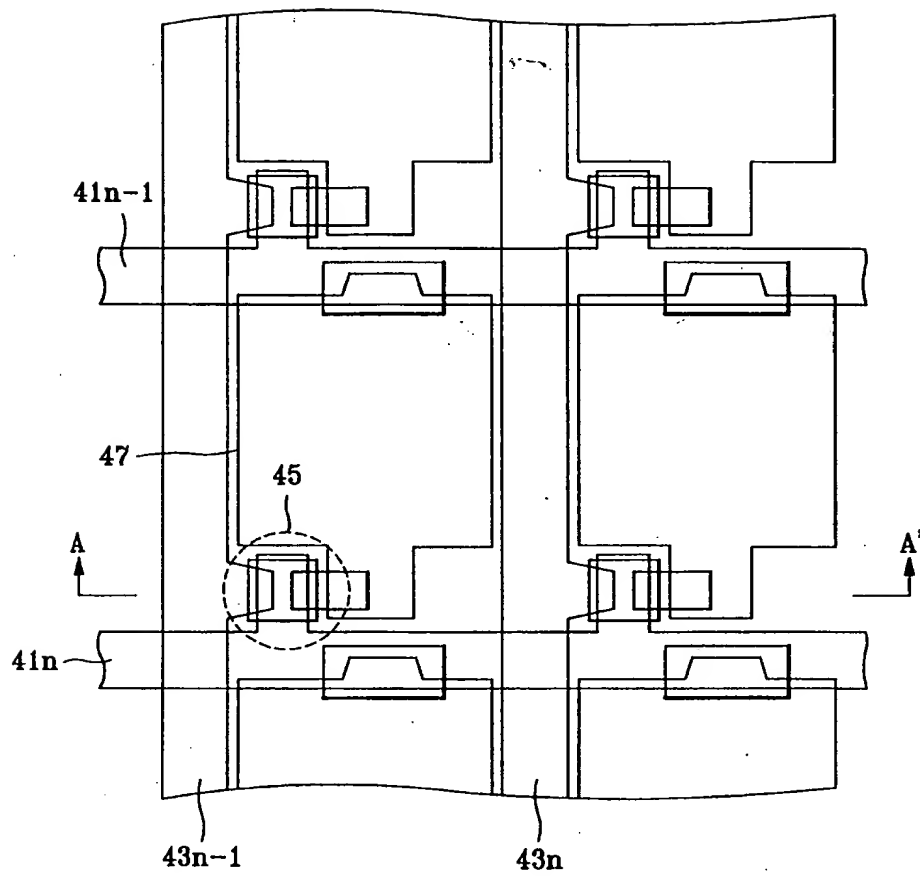
【도 2】



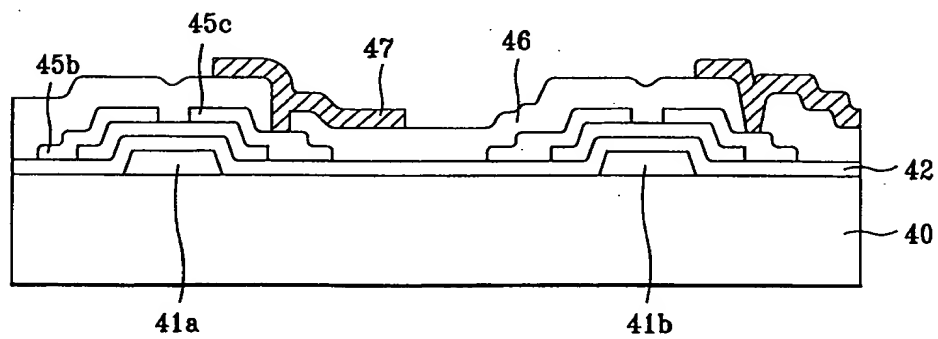
【도 3】



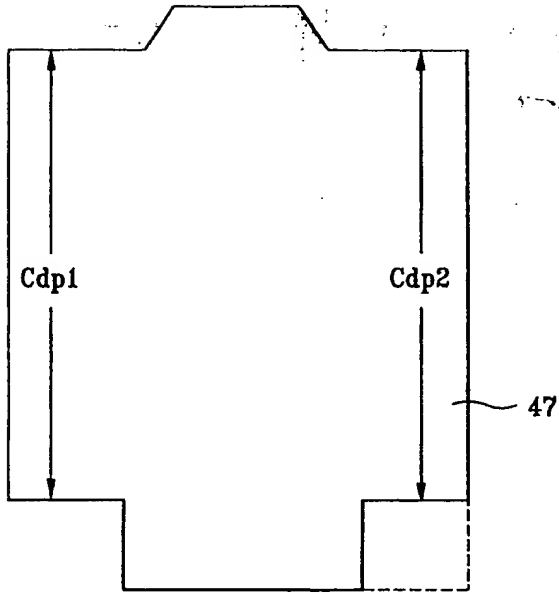
【図 4】



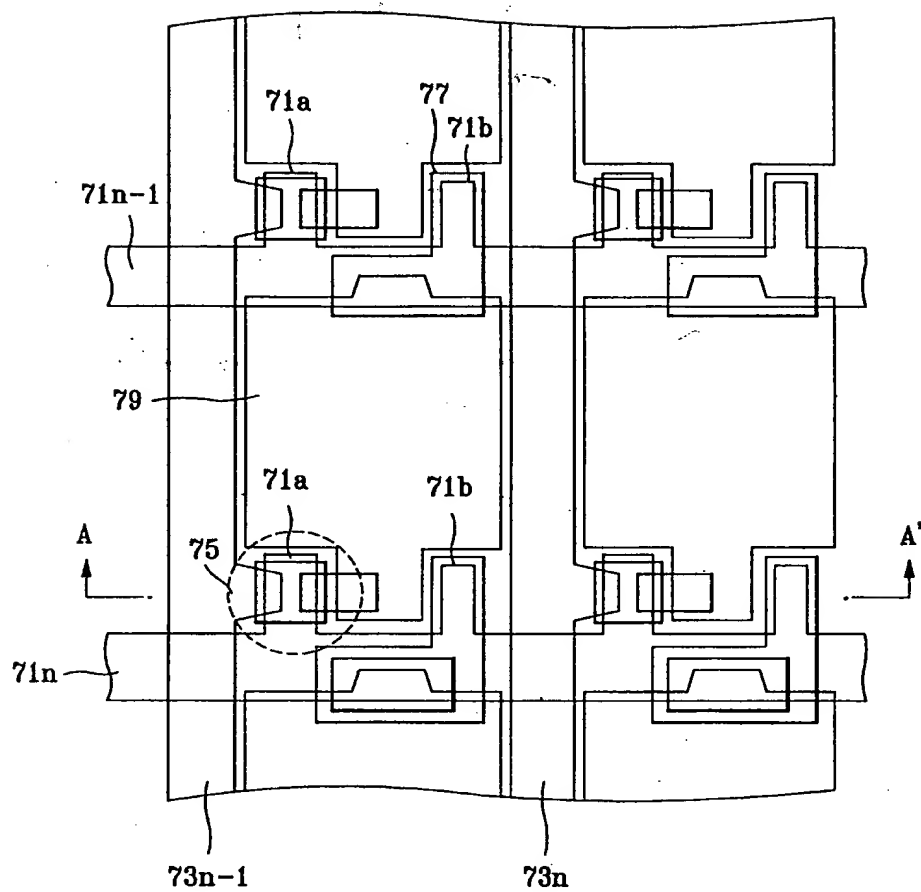
【図 5】



【도 6】



【図 7】



【図 8】

